



AKTİF FİLTRELER İÇİN DEVRE ELEMANI DEĞERLERİNİN KARINCA  
KOLONİ ALGORİTMASI KULLANARAK SEÇİMİ

(COMPONENT VALUE SELECTION FOR ACTIVE FILTERS USING  
ANT COLONY ALGORITHM)

Adem KALINLI\*

ÖZET / ABSTRACT

Analog elektronik devrelerin tasarımında, maliyetler nedeniyle, ayrık pasif eleman değerlerini belirli değerlerde üretilmiş standart serilerdeki elemanlardan belirlemek yaygın uygulamadır. Orijinal tasarımda ortaya çıkan değerler çoğunlukla, standart seri değerleri ile tam olarak örtüşmemektedir ve geleneksel tasarımcılar en yakın değerli elemanları seçmektedir. Bu durum bir tasarım sapmasına neden olmaktadır. Genelde standart seri elemanlarının oluşturduğu tüm uzayda daha iyi bir çözüm seti var olacaktır. Mümkün olan bütün eleman değerlerinden en uygun setin seçilmesi oldukça kompleks bir ayrık araştırma problemidir.

Hata yüzeyinin küresel minimasını uygun süre içerisinde bulma kabiliyetine sahip sezgisel algoritmalar, analog devre tasarımı için ümit verici yaklaşımlar olarak görülmektedir. Bu çalışmada, gerçek karıncaların yiyecek ve yön bulma kabiliyetlerinden esinlenerek ortaya çıkmış karınca koloni optimizasyon algoritmasının, bu araştırma uzayında başarıyla kullanılabileceği gösterilmiştir. Uygulama tümüyle ayrık ve yarı tümdevre formunda seçilen ikinci derece durum değişkenli aktif filtre üzerinde yapılarak, geleneksel tasarım yöntemlerine göre çok daha iyi tasarımlar sağlanmıştır.

*In the realization of analogue electronic circuits, it is common practice to specify discrete passive component values from a range of manufactured preferred values because of costs. The original design typically results in values that do not all coincide with preferred value and conventionally the designer selects the nearest preferred value thus causing a design deviation. In general a better set of preferred values will exist in the discrete domain of preferred component values. This set will be in a solution space of all possible component-value combinations that is a highly-complex combinatorial search problem.*

*The heuristic algorithms are able to find the global minima in a error surface. They seems to be as a promising for designing analogue circuits. This paper shows that Ant colony optimization algorithm which is based on the behavior of real ant colonies can be successfully used to search this space. The application chosen is a second order state variable active filter. Fully-discrete and semi-integrated forms are considered. The designs produced are much superior to those achieved using the conventional method.*

ANAHTAR KELİMELELER / KEYWORDS

*Analog devre tasarımı, Karınca koloni algoritması, Aktif filtre  
Analog circuits design, Ant colony algorithm, Active filter*

---

\* Erciyes Üniversitesi, Kayseri MYO, Elektronik Bölümü, KAYSERİ..

## 1. GİRİŞ

Elektronik devreler kablo, direnç, kapasitör, indüktör, diyod, transistör gibi çok sayıdaki elemanın geniş bir türünden oluşmaktadır. Bir analog devrenin tam olarak özelleştirilmesi, topoloji, tüm elemanlarının boyutu ve eleman değerlerinin belirlenmesini içerir (Koza vd., 1996).

Analog devrelerin tasarımı için geleneksel yaklaşımlarda, elemanlar ideal ve sınırsız değerlerde kabul edilir. Oysa, ayrıık elemanlar sabit değerlerin belirli bir sayısının yaklaşık logaritmik katları şeklinde üretilmiştir. Tipik olarak “oniki serisi” (E12) olarak bilinen standart seri değerleri 1.0, 1.2, 1.5, 1.8, 2.2, 2.7, 3.3, 3.9, 4.7, 5.6, 6.8, 8.2, 10, ... dur. Tasarım maliyetlerinin azaltılabilmesi için, ayrıık elemanlar bu seriden yada mümkün olan diğer standart serilerden seçilmektedir. Geleneksel yaklaşımlar sonucunda ortaya çıkan eleman değerleri ise standart seri değerleri ile tam olarak örtüşmemektedir. Devrelerin gerçekleştirilmesinde ideale en yakın standart seri değerlerine sahip elemanların kullanılmasıyla, idealden sapmalar meydana gelmektedir. Bu sapmalar sonucu ortaya çıkan hataların, E24, E48 veya E96 gibi serilerden daha yakın değerlerde elemanların seçilmesiyle yada eleman çiftlerinin seri yada paralel bağlanmasıyla elde edilecek özel değerlerde elemanların kullanılması ile azaltılması mümkündür. Bununla beraber, bu yaklaşımların hepside hatalar içermektedir. Ayrıca seri yada paralel bağlantılarla özel eleman değerlerinin elde edilmesi yaklaşımı hem devre boyutlarını büyütecek hem de maliyetleri artıracaktır.

Analog devrelerde, önemli tepki parametrelerinden daha fazla sayıda eleman vardır. Genelde, geleneksel tasarım yöntemleri, belirli elemanlar birbirine eşit yada birbirinin katları şeklinde seçilerek doğrudan uygulanabilir tasarım formülleri elde etmeye yönelik serbestlik derecesinin miktarının azaltıcı yaklaşımlar sergilemektedir. Tasarım yöntemlerindeki bu basitleştirmenin amacı, hangi standart seri kullanılırsa kullanılsın, seri değerlerinin tüm kombinasyonlarını dikkate almadan en düşük hata ile tasarımlar yapabilmektir. Bununla beraber, genelde daha az tasarım hatası içeren standart seri değerlerinin bir seti var olacaktır. Tüm elemanların oluşturduğu çözüm uzayında tasarım yapmak oldukça kompleks bir ayrıık araştırma problemidir. Örnek olarak bu çalışmada dikkate alınan 8 elemanlı tümüyle ayrıık devrede, elemanlar E12 serisinden kırktan fazla seçenek olacak şekilde seçilirse, araştırma uzayı yaklaşık  $3 \times 10^{13}$  nokta içerecektir. Optimum tasarım için, mümkün olan tüm kombinasyonlar üzerinde bilgisayar tabanlı araştırma yapmak makul bir zamanın ötesinde bir süre gerektirir. Bu nedenle ayrıık eleman değerlerinin belirlenmesinde alternatif bir metodun uygulanması kaçınılmaz görünmektedir.

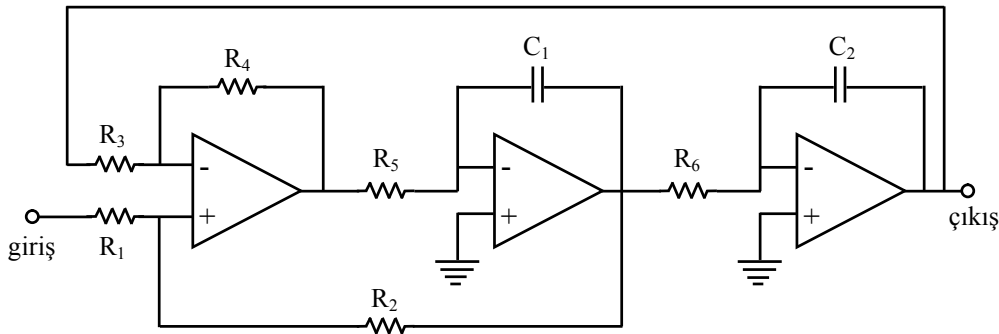
Analog devrelerin tasarımı için son yıllarda dikkatler yapay zeka ve tabii bilimlerden türetilmiş sezgisel (heuristic) algoritmalar üzerine kaymaya başlamıştır. Tabu araştırma algoritması, Simulated Annealing, Genetik Algoritmalar ve Karınca Koloni Algoritması zor optimizasyon problemleri için geliştirilmiş sezgisel algoritmalarından bazılarıdır (Glover, 1986; Kirckpatrick vd., 1983; Holland, 1975; Dorigo vd., 1991). Analog devrelerde otomatik tasarım yapmak için bu algoritmalarından ilk üçü üzerine dayalı çeşitli çalışmalar yapılmıştır. Simulated Annealing (SA) algoritmasının devre tasarımı amacıyla kullanılmasına ilişkin ilk çalışmalardan birisi, devre boyutlarını optimize etmek amacıyla gerçekleştirilmiştir (Ning vd., 1992). SA algoritması hücre yerleşim (cell-placement) ve kat-planlama (floorplanning) gibi ayrıık problemler için ve FR güç amplifikatörü tasarımı gibi ayrıık olmayan problemler için de kullanılmıştır (Jayaraman ve Rutenbar, 1987; Wong ve Liu, 1986; Gupta vd., 2001). Krusiskamp ve Leenaerts ise Genetik algoritma (GA) ile opamp devrelerinin tasarımını gerçekleştirmiştir (Krusiskamp ve Leenaerts, 1995). GA non-konveks devre problemleri yada simülasyon tabanlı optimizasyon yaklaşımları için de kullanılmıştır (Paulino vd., 2001; Grimbleby, 2000). Horrocks ve arkadaşları, standart seri değerlerini kullanarak aktif ve pasif

filtre devrelerinin tasarımında GA kullanarak başarılı sonuçlar elde etmiştir (Horrocks ve Khalifa, 1994; Horrocks ve Spittle, 1995; Horrocks ve Khalifa, 1995; Horrocks ve Khalifa, 1996). Tabu araştırma algoritması (TAA) kullanarak analog devre tasarımına yönelik, VLSI devrelerde optimum yerleşim ve devre boyutunun minimize edilmesi amacıyla yapılmış birkaç çalışma vardır (Tao ve Zhao, 1993; Aguirre vd., 1994; Sadiq ve Youssef, 1998; Sadiq vd., 1998; Sadiq vd., 2000; Lodha ve Bhatia, 1998). Bahsi geçen algoritmaların en yenilerinden olan Karınca Koloni algoritması (KKA) üzerine dayalı analog devre tasarımına yönelik sadece Kuntz ve arkadaşlarının yaptığı bir çalışma mevcuttur (Kuntz vd., 1997). Kuntz ve arkadaşları çalışmalarında, KKA'na dayalı yaklaşımın VLSI teknolojide yerleşim probleminde uygulanması ile ilgilenmişlerdir. KKA kullanarak analog devrelerde devre elemanlarının seçimine ilişkin bir çalışma ise henüz yapılmamıştır.

Bu çalışmada, geleneksel yaklaşıma göre çok daha az hata içeren tasarımlar gerçekleştirmek amacıyla eleman değerlerinin seçiminde, doğal optimizasyon işlemlerinden birinin yapay versiyonu olan KKA'na dayalı yeni bir yaklaşım tanıtılacaktır. Önerilen yaklaşım ve geleneksel yöntemlerle sağlanan tasarımların karşılaştırılması amacıyla ikinci derece durum değişkenli aktif filtrenin iki formu dikkate alınmıştır. Birincisi, direnç, kapasitör ve işlemsel kuvvetlendiricili tümüyle ayrık devredir. İkincisi ise, National Semiconductor'dan seçilen AF100 ile örneklenebilecek kısmi tümdevre formundaki devredir (National Semiconductor, 1993). Örneklerde direnç ve kapasitörler için E12 ve E48 serisindeki standart değerler göz önüne alınmıştır.

## 2. DURUM DEĞİŞKENLİ AKTİF FİLTRE

Kerwin-Huelsman-Newcomb (KHN) filtresi olarak da bilinen durum değişkenli aktif filtre devresi Şekil 1'de gösterilmiştir (Kerwin vd., 1967). Verilen bu devre alçak geçiren filtre (AGF) devresidir. İkinci derece AGF devresinin cevabı, geçiş bandı kazancı  $H$ , kesim frekansı  $\omega_0=2\pi f_0$  ve kalite faktörü  $Q$  ile tam olarak tanımlanır. Bu değerler durum değişkenli devrede pasif elemanların değerleri kullanılarak Eşitlik 1'deki gibi tanımlanır.



Şekil 1. Alçak geçiren durum değişkenli aktif filtre

$$H = \frac{R_2(R_3 + R_4)}{R_3(R_1 + R_2)}, \quad \omega_0 = \sqrt{\left(\frac{R_4}{R_3}\right) \left(\frac{1}{C_1 C_2 R_5 R_6}\right)}, \quad Q = \frac{R_3(R_1 + R_2)}{R_1(R_3 + R_4)} \sqrt{\frac{C_1 R_4 R_5}{C_2 R_3 R_6}} \quad (1)$$

Bu çalışmada,  $\omega_0=10000/2\pi = 1591.55$  rad/sn ve  $Q=\sqrt{2}=1.41421$  olarak seçilmiştir. Geçiş bandı kazancı  $H$ , diğer analog devrelerle istenen düzeyde tutulabileceği için bir çok uygulamada kritik değildir ve geleneksel tasarım yöntemlerinde bazı değerlerde sabit kabul edilmektedir. KKA kullanarak gerçekleştirilen tasarımlarda geçiş bandı kazancı için bir sınırlama getirilmemiştir.

Elemanların standart seri değerlerinden seçilmesi sonucunda, kesim frekansı ve kalite faktörü değerlerinde sapmalar ortaya çıkacaktır ( $\Delta\omega$  ve  $\Delta Q$ ). İdeale yakın tasarımlar

yapabilmek için, bu sapmaların mümkün olduğu kadar küçük olması önemlidir. Çalışmada kullanılan hata kriteri, yukarıda belirtilen sapma miktarlarına bağlı olarak aşağıda verilmiştir (Horrocks vd., 1995).

$$hata = a_1 \frac{|\Delta\omega|}{\omega_0} + a_2 \frac{|\Delta Q|}{Q} \quad (2)$$

Burada,  $a_1=0.5$  ve  $a_2=0.5$  olarak kabul edilmiştir. Kesim frekansı ve kalite faktörü için, kabul edilebilir tasarım toleranslarının farklı tercih edilmesi durumunda, bu katsayılar farklı değerlerde kullanılabilir.

Şekil 1’de verilen tümüyle ayırık devrede, 6 direnç ve 2 kapasitör olmak üzere toplam 8 eleman vardır. Bu elemanların değerleri verilen belirli bir  $\omega_0$  ve  $Q$  değeri için belirlenir ve bir çok tasarım yaklaşımında  $H$  değeri de önemlidir. Geleneksel bir yaklaşımla, iki kapasitör birbirine eşit ve  $R_2$  hariç diğer dirençler de  $R$ ’ye eşit seçilmek suretiyle diğer bazı sınırlamalarla beraber eleman değerlerinin seçimi basitleştirilir. Bu kabullere göre Eşitlik 1’den hareketle aşağıdaki eşitlikler elde edilir.

$$\omega_0 = \frac{1}{RC} \quad (3)$$

$$R_1 = R_3 = R_4 = R_5 = R_6 = R \quad C_1 = C_2 = C \quad R_2 = (2Q - 1)R \quad (4)$$

Önce, Eşitlik 3 kullanılarak istenen kesim frekansını sağlayan  $R$  ve  $C$  çiftinin seçimi gerçekleştirilir. Sonra Eşitlik 4 kullanılarak diğer devre elemanlarının değeri belirlenir. Geçiş bandı kazancı ise  $H=1$  alınır.

Doğru bir tasarım için mantıklı yol,  $R$  için tercih edilen değerler dizisinin ortasından bir değer seçmektir. Seçilen bu değer beş direncin değeri olacaktır. Geri kalan  $C_1$ ,  $C_2$  ve  $R_2$  elemanlarının değeri Eşitlik 3 ve 4 kullanılarak belirlenir. Eğer tam bir tasarım sağlanacak ise, elde edilecek eleman değerleri standart olarak üretilmeyen değerlerde olacaktır.

Sadece standart seri değerleri kullanılarak yapılacak bir tasarım için, hesaplama neticesi bulunan değerler en yakın standart seri değerlerine yuvarlanabilir. Bu yöntemde basit bir iyileşme, elemanların tüm standart seri değerleri için çözümün tekrarlanması ve mümkün olan en küçük hatayı verecek tasarımın seçilmesi ile sağlanabilir. Bu örnek için geleneksel tasarım yöntemi ile bulunan eleman değerlerinin, en yakın E12 standart seri eleman değerlerine yuvarlanması ile elde edilen sonuçlar Çizelge 1’de ikinci sütunda verilmiştir (Horrocks vd 1995a). Bu yaklaşımla gerçekleştirilen tasarım %7.1824 hata içermektedir.

Yarı tümdevre formundaki AF100 devresinde,  $R_1$ ,  $R_5$  ve  $R_6$  elemanları harici olarak bağlanmaktadır ve diğer beş pasif eleman tümdevre içerisinde sabit değerli olarak üretilmiştir. Geleneksel tasarımda, kullanıcı belirli bir  $H$ ,  $\omega_0$  ve  $Q$  performans parametresi için Eşitlik 1’i kullanarak harici üç direncin değerini belirlemektedir. Geleneksel yaklaşımla E12 serisindeki eleman değerleri dikkate alınarak bu devre için elde edilen sonuçlar Çizelge 2’de verilmiştir (Horrocks vd., 1995a). Bu devre için, geleneksel yaklaşımla gerçekleştirilen tasarım ise %3.9055 hata içermektedir.

### 3. KARINCA KOLONİ OPTİMİZASYON ALGORİTMASI

Karınca Koloni optimizasyon algoritması (KKA), Dorigo ve arkadaşları tarafından önerilmiş en yeni sezgisel algoritmalarından biridir (Dorigo vd., 1991). Algoritma gerçek karınca kolonilerinin davranışları üzerine dayalıdır. 1991’den bu tarafa KKA’nın yeni modelleri ortaya çıkmış ve bu modellerin özellikle ayırık optimizasyon problemlerinin

çözümüne uygulanması konusunda çeşitli sayıda çalışmalar yapılmıştır (Gambardella ve Dorigo, 1997; Di Caro ve Dorigo, 1998; Stützle ve Dorigo, 1999; Gambardella vd., 1999). Literatürde sürekli optimizasyon ve mühendislik uygulamaları için KKA'na dayalı sadece birkaç çalışma vardır (Wodrich, 1996; Corne vd., 1999; Hiroyasu vd., 2000; Karaboğa vd., 2001; Kalınlı vd., 2001).

Gerçek karıncalar, yuvaları ile yiyecek kaynağı arasındaki en kısa yolu bulma kabiliyetine sahiptirler ve ayrıca çevredeki değişimlere de adapte olabilmektedirler. Örneğin, yuva ile yiyecek arasındaki en kısa yol belirli bir zamanda keşfedilir ve sonra çevre şartları nedeniyle bu en kısa yol artık en kısa yol olmaktan çıkarsa, karıncalar yeni en kısa yolu bulabilmektedirler. Diğer bir ilginç noktada karıncaların çok iyi görme kabiliyetlerinin olmamasıdır. Yani, en kısa yolu keşfetme uğraşında yönleri seçmek için etrafı tam olarak göremezler. Karıncalar üzerine yapılan çalışmalar, en kısa yolu bulma kabiliyetlerinin birbirleri arasındaki kimyasal haberleşmenin bir sonucu olduğunu göstermiştir. Karıncalar birbirleriyle haberleşmede feromon olarak adlandırılan kimyasal bir madde kullanmaktadır.

Karıncalar yürürken yolları üzerine bir miktar feromon maddesi bırakır ve her bir karınca yuva yada yiyecek bulmak için bir doğrultuyu seçer. Bir yönün seçilme ihtimali, bu yön üzerindeki feromon maddesi miktarına bağlıdır. Bütün yönlerin feromon miktarı birbirine eşit ise, o zaman bütün yönler karıncalar tarafından aynı seçilme olasılığına sahiptir. Tüm karıncaların hızlarının ve yollara bıraktıkları feromon miktarının aynı olduğu kabul edildiğinde, daha kısa yollar birim zamanda daha çok feromon maddesi alacaktır. Dolayısıyla, karıncaların büyük çoğunluğu hızla en kısa yolları seçecektir. Bu geri besleme işlemi otokatalitik işlem olarak da adlandırılır. Eğer kolonide sadece birkaç karınca var ise, bu otokatalitik işlem genellikle, çok hızlı bir şekilde optimal olana göre daha kötü olan bir alt optimal yol üretecektir. Bir çok karınca optimal yol için eş zamanlı olarak araştırma yaptığından, otokatalitik işlemlerden dolayı araştırmanın çok hızlı bir şekilde optimal yola yakınsamasına neden olur ve sonuçta bir alt optimal yola takılmadan yuva ve yiyecek arasındaki en kısa yol bulunur. Gerçek karınca kolonilerinin en kısa yolu bulmak için gösterdikleri davranış, doğal bir optimizasyon işlemi tanımlar.

Karınca koloni optimizasyon algoritması, yukarıda tanımlanan gerçek karınca kolonilerinin yapmış olduğu doğal optimizasyon işleminin yapay bir versiyonudur. Gerçek karınca kolonilerinin davranışını modelleyen temel bir algoritmanın adımları Şekil 2'de verilmiştir.

```
BEGIN
  REPEAT
    Bütün yapay karıncalar için yolların üretilmesi
    Bütün yapay yolların uzunluğunun hesaplanması
    Yapay yollar üzerinde bulunan feromon maddesi miktarının güncellenmesi
    Şu ana kadar bulunan en kısa yapay yolun hafızada tutulması
  UNTIL ( iterasyon = maksimum iterasyon yada yeterlilik kriteri )
END.
```

Şekil 2. Basit bir karınca koloni optimizasyon algoritması

**TACO (Touring Ant Colony Optimisation) Algoritması:** Bu algoritma Hiroyasu ve arkadaşları tarafından özellikle sürekli optimizasyon problemleri için önerilmiştir (Hiroyasu vd., 2000). Bu algoritmada çözümler ikili sayılarla temsil edilmiş tasarım parametrelerinin bir vektörüdür. Dolayısıyla bir çözüm, ikili sayıların alt guruplarından oluşan bir vektördür. Bu nedenle, her bir yapay karınca dizideki ikili sayının değerini araştırır. Başka bir deyişle ikili sayının değerinin 1 yada 0 olup olmadığına karar vermeye çalışır. TACO algoritması kavramı Şekil 3'te gösterilmiştir.



tanımlamada kullanılmıştır. Çözüm vektöründe her bir devre elemanı değerini temsil etmek amacıyla kullanılan bitlerin sayısında farklı yaklaşımlar kullanılarak, araştırma uzayını genişletmenin etkisi de incelenmiştir. Bir bit yaklaşımı için (1 bit KKA), bir bit yukarıda tanımlanan geleneksel tasarım yönteminden çıkan tercih edilen değer ve en yakın bir üst değer arasında seçim yapmakta kullanılmıştır. Bitlerin sayısı sırasıyla “iki bit”, “üç bit” ve “dört bit” olarak artırılmıştır. Bu yaklaşımlar sırasıyla, geleneksel yöntemle elde edilen eleman değerine en yakın 4, 8 ve 16 adet tercih edilen değerden KKA ile seçim yapılmakta kullanılmıştır.

Tam değerlendirme amacıyla kullanılan yaklaşımda ise, 6 bitlik 8 gurup, 40’ın üzerinde standart seri eleman değerlerinden seçim yapmakta kullanılmıştır. Bu bitlerden ikisi dirençler için  $10^3$ - $10^6$  arasında, kapasitörler için  $10^{-9}$ - $10^{-6}$  arasında çarpanı belirlemede kullanılmıştır. Bunların dışındaki oranlar, büyük sinyal akımları yada olmaması gereken kapasite değerleri gibi istenmeyen etkileri engellemek amacıyla kullanılmamıştır. Yarı tümdevre için tam değerlendirme yaklaşımı ile üç harici devre elemanının değerini belirlemede benzer yapı kullanılmıştır.

Çözümlerin değerlendirilmesi aşamasında muhtemel bir devre çözümü tasarlandıktan sonra, bu devreye ilişkin kalite değeri Eşitlik 2’de verilen hata fonksiyonu kullanılarak hesaplanmıştır. Devre için daha küçük hataya sahip durumlarda kalite değeri daha da büyümektedir.

## 5. SİMULASYON SONUÇLARI

Tümüyle ayrık devre problemi için E12 standart seri elemanları dikkate alınarak farklı yaklaşımlarla sağlanan sonuçlar Çizelge 1’de verilmiştir. KKA kullanılması ile tasarım hatasında büyük bir azalma olduğu açıkça görülmektedir. Çok sınırlı araştırma uzayına sahip 1 bit KKA yaklaşımı ile, geleneksel tasarım yöntemine göre yaklaşık %94 daha düşük hataya sahip tasarım gerçekleştirilebilmiştir. Her bir eleman değerinin 6 bit ile temsil edildiği tam değerlendirme yaklaşımı için ise, elde edilen %0.0129 tasarım hatası, geleneksel yöntemle sağlanana göre %99.82 daha düşüktür.

Çizelge 1. Tümüyle ayrık devre için değişik yöntemlerle elde edilen sonuçlar

	Geleneksel	1 Bit KKA ks= 50 iter=100	2 Bit KKA ks= 50 iter=500	3 Bit KKA ks= 50 iter=1000	4 Bit KKA ks= 200 iter=3000	6 Bit KKA ks= 200 iter=5000
$\omega_0$	1773.05	1585.86	1594.91	1590.22	1592.52	1591.23
$R_1$	4700	5600	5600	8200	10000	39000
$R_2$	8200	10000	10000	10000	22000	56000
$R_3$	4700	4700	5600	5600	2200	220000
$R_4$	4700	5600	4700	3900	5600	4700000
$R_5$	4700	4700	3900	6800	8200	6800
$R_6$	4700	5600	4700	2700	6800	470000
$C_1$	$1.2 \times 10^{-7}$	$1.5 \times 10^{-7}$	$1.5 \times 10^{-7}$	$1.0 \times 10^{-7}$	$1.2 \times 10^{-7}$	$1.2 \times 10^{-6}$
$C_2$	$1.2 \times 10^{-7}$	$1.2 \times 10^{-7}$	$1.2 \times 10^{-7}$	$1.5 \times 10^{-7}$	$1.5 \times 10^{-7}$	$2.2 \times 10^{-9}$
hata (%)	7.1824	0.4253	0.1442	0.0617	0.0355	0.0129

ks: karınca sayısı, iter: iterasyon sayısı

Çizelge 2’de yarı tümdevre AF100 devresi için sonuçlar verilmiştir. Çizelgede parantez içerisinde verilen 5 dahili elemanın değeri sabittir. Geri kalan 3 devre elemanının değeri ise KKA ile belirlenmiştir. Devre elemanlarından 5’inin sabit olması, tümüyle ayrık devreye göre

daha sınırlayıcı bir durumdur. Bu nedenle tümüyle ayrık devreye göre daha büyük hata değerleri sağlanabilmiştir. Bu sınırlamaya rağmen 2 bit ile gerçekleştirilen araştırmada dahi hata değerinde %41.88 iyileşme sağlanmıştır. KKA ile tam tasarım yaklaşımında ise, geleneksel tasarım yöntemine göre %83.6 daha düşük hata değeri sağlanmıştır. Bu devre için 3 bit ve 4 bit KKA yaklaşımları ile aynı tasarımlar gerçekleştirilebilmiştir. Algoritma 4 bit KKA yaklaşımında, yukarıda bahsedilen sınırlamalar nedeniyle daha düşük hata içeren tasarım sağlayamamıştır.

Çizelge 2. AF100 devresi için değişik yöntemlerle elde edilen sonuçlar

	Geleneksel	2 Bit KKA ks= 50 iter=100	3 Bit KKA ks= 50 iter=100	4 Bit KKA ks= 50 iter=500	6 Bit KKA ks= 100 iter=500
$\omega_0$	1610.80	1601.28	1571.34	1571.34	1601.28
$R_1$	10000	12000	18000	18000	560000
$R_2$	(100000)	(100000)	(100000)	(100000)	(100000)
$R_3$	(100000)	(100000)	(100000)	(100000)	(100000)
$R_4$	(10000)	(10000)	(10000)	(10000)	(10000)
$R_5$	82000	100000	150000	150000	820000
$R_6$	470000	390000	270000	270000	47000
$C_1$	( $1.0 \times 10^{-9}$ )	( $1.0 \times 10^{-9}$ )	( $1.0 \times 10^{-9}$ )	( $1.0 \times 10^{-9}$ )	( $1.0 \times 10^{-9}$ )
$C_2$	( $1.0 \times 10^{-9}$ )	( $1.0 \times 10^{-9}$ )	( $1.0 \times 10^{-9}$ )	( $1.0 \times 10^{-9}$ )	( $1.0 \times 10^{-9}$ )
hata (%)	3.9055	2.2697	0.9714	0.9714	0.6403

ks: karınca sayısı, iter: iterasyon sayısı

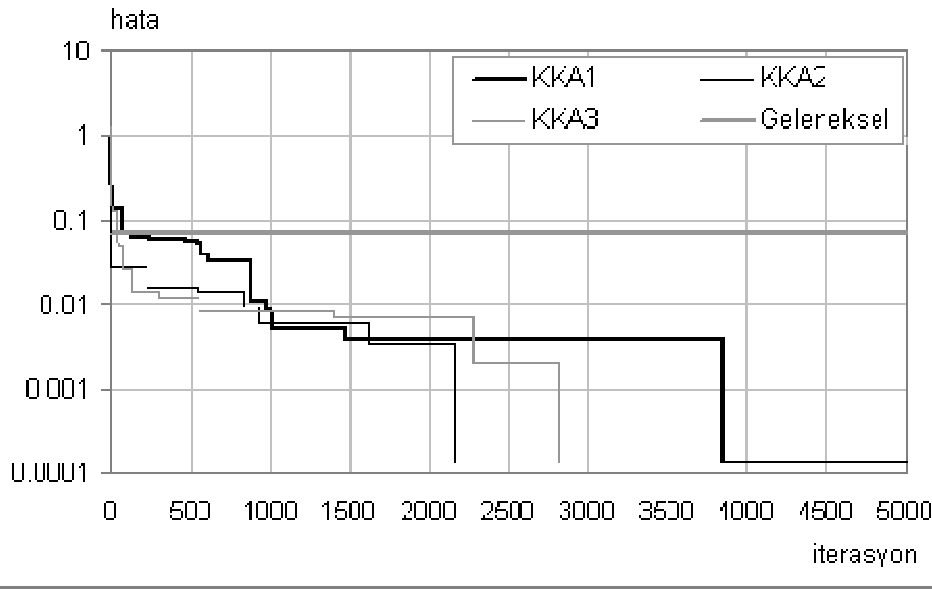
Yarı tümdevre için geleneksel tasarım yöntemi uygulanırken  $H=1$  alınmış, verilen  $\omega_0$  ve  $Q$  değerleri kullanılarak Eşitlik 1 yardımıyla eleman değerleri belirlenmiştir. KKA kullanılarak gerçekleştirilen tasarımlarda  $H$  değeri için herhangi bir sınırlama getirilmemekle beraber, bu yaklaşımla yapılan tasarım araştırmalarında geçiş bandı kazancı 0.3676-4.3265 aralığında gerçekleşmiştir. Bu değerler bir çok uygulamada kabul edilebilir değerlerdir. AF100 devresinin içerdiği fazladan işlemsel kuvvetlendirici ile geçiş bandı kazancının ayarlanması da mümkündür. Tasarımlarda istenmeyen durumlardan kaçınmak için, kalite fonksiyonuna  $H$  sonucuna bağlı terim de eklemek mümkündür. Bununla beraber,  $H$  değeri negatif büyük bir değer değilse ve kabul edilebilir oranda ise bu terim sıfır da yapılabilir. Her iki devrenin KKA ile tasarımında kullanılan karınca ve iterasyon sayıları ise Çizelge 1 ve Çizelge 2'de verilmiştir.

Her iki devre örneği için, KKA'nın tam değerlendirme yaklaşımı ile gerçekleştirilen 3 farklı araştırmadaki çözümlerin gelişimi Şekil 4 ve Şekil 5'te verilmiştir. Her bir denemede algoritma tasarım hatasını, tümüyle ayrık devre için yaklaşık 80 iterasyonda, yarı tümdevre için ise yaklaşık 10 iterasyonda geleneksel tasarım yöntemi ile sağlanan hata değerinin altına düşürmeyi başarmaktadır. Ancak küresel en iyiye ulaşmak için her defasında farklı sayıda değerlendirme gerekli olmaktadır.

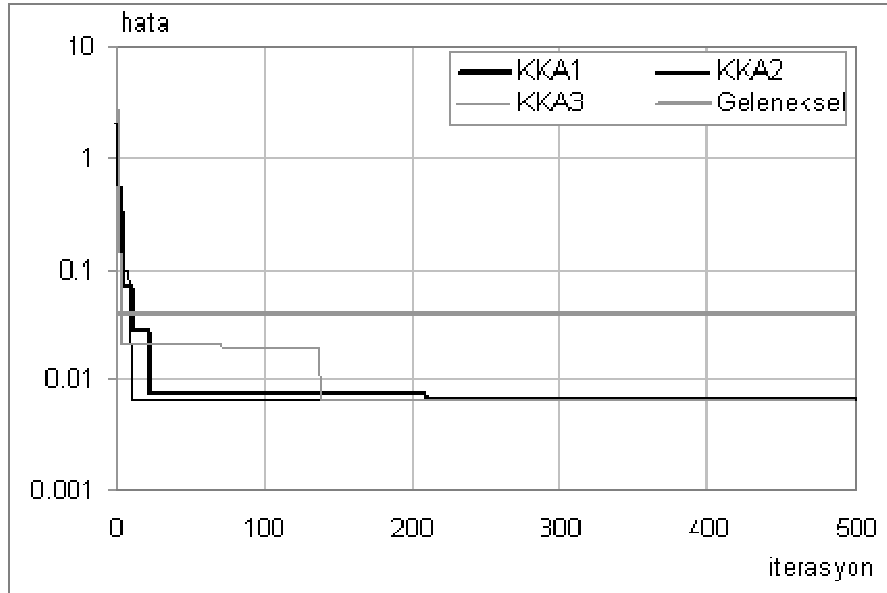
Pratikte, bu düşük değerli tasarım hataları üreticilerin ürettikleri elemanlara ait toleranslar nedeniyle gölgelenebilir. Üretim toleranslarının tasarım hatası üzerindeki etkisinin incelenmesi amacıyla, geleneksel ve KKA kullanarak tam değerlendirme yaklaşımı ile elde edilen eleman değerlerine dikkate alınan E12 serisinin standart toleransı olan  $\pm\%10$  aralığında rastgele toleranslar eklenmiştir. Birinci ve ikinci devre tasarım örneği için, 100 farklı koşma gerçekleştirilerek elde edilen kalite faktörü, kesim frekansı ve hata değerlerinin ortalaması Çizelge 3'te verilmiştir. Çizelgeden de görülebileceği gibi üretim toleranslarının dikkate alınması durumunda da KKA ile çok daha düşük tasarım hataları sağlanabilmektedir. Ancak



üretim toleranslarının dikkate alınmasıyla her iki devre örneği içinde hem geleneksel yaklaşımla sağlanan hem de KKA ile sağlanan hata değerlerinde büyük oranlarda artışların ortaya çıktığı da görülmektedir. Dolayısıyla bu sonuçlar, devre elemanlarının E12 standart serisinden seçilmesi durumunda, KKA ile sağlanan çok düşük hata değerlerine ulaşılmasının uygulamada oldukça zor olduğunu ortaya koymaktadır.



Şekil 4. Tümüyle ayrık devrede Karınca koloni algoritması ile sağlanan çözümlerin gelişimi



Şekil 5. AF100 devresinde Karınca koloni algoritması ile sağlanan çözümlerin gelişimi

Çizelge 3. E12 serisi için %10'luk üretim toleransları dikkate alınarak elde edilen sonuçlar

	Tümüyle ayrık devre		AF100 devresi	
	Geleneksel	KKA	Geleneksel	KKA
Ortalama $Q$	1.32457	1.41934	1.32364	1.41357
Ortalama $\omega_0$	1786.57	1580.86	1621.17	1611.09
Ortalama hata (%)	10.1665	5.9095	5.7389	3.3047

Uygulamada, daha düşük toleranslı standart serilerden elemanların seçilmesiyle, üretim toleranslarının tasarım hatası üzerindeki etkisi azaltılabilir. Düşük toleranslı seri elemanlarının tasarım üzerindeki etkisini incelemek amacıyla, E48 standart seri elemanları dikkate alınarak her iki devre örneği için yukarıda belirtilen simülasyonlar tekrarlanmıştır. Simülasyon çalışmalarında, tümüyle ayırık ve yarıtümdevre formundaki her iki devre için geleneksel yaklaşımla ve KKA yaklaşımı ile sağlanan tasarımlar Çizelge 4'te verilmiştir. Bu sonuçlardan görüldüğü gibi, E48 standart seri eleman değerlerinin dikkate alınmasıyla geleneksel yaklaşımla sağlanan tasarım hatalarında büyük oranda düşüş sağlanmaktadır. Bununla beraber, aynı standart seri eleman değerleri dikkate alınarak KKA ile sağlanan tasarımlar, geleneksel tasarım yaklaşımına göre daha düşük hata değerlerinde gerçekleşmiştir. Tümüyle ayırık devre için KKA ile sağlanan tasarım hatası, geleneksel yaklaşıma göre %75.29, AF100 devresi için ise %59.33 daha düşük değerlidir.

Çizelge 4. E48 standart seri eleman değerleri dikkate alınarak elde edilen tasarım sonuçları

	Tümüyle ayırık devre		AF100 devresi	
	Geleneksel	6 Bit KKA	Geleneksel	6 Bit KKA
$\omega_0$	1620.43	1581.829	1577.636	1580.487
$R_1$	4640	10000	10000	44200
$R_2$	8660	31000	(100000)	(100000)
$R_3$	4640	130000	(100000)	(100000)
$R_4$	4640	860000	(10000)	(10000)
$R_5$	4640	15000	90900	301000
$R_6$	4640	13000	442000	133000
$C_1$	$1.33 \times 10^{-7}$	$1.05 \times 10^{-7}$	$(1.0 \times 10^{-9})$	$(1.0 \times 10^{-9})$
$C_2$	$1.33 \times 10^{-7}$	$1.21 \times 10^{-7}$	$(1.0 \times 10^{-9})$	$(1.0 \times 10^{-9})$
hata (%)	1.57823	0.39000	1.139215	0.463363

*ks: karınca sayısı, iter: iterasyon sayısı*

E48 standart seri elemanları dikkate alınarak, KKA ile gerçekleştirilen simülasyon çalışmalarında her bir devre elemanı 8 bit ile temsil edilmiş ve her iki devre örneği için karınca sayısı 200, iterasyon sayısı ise 5000 olarak alınmıştır. Çalışmada gerçekleştirilen tüm simülasyonlarda KKA için buharlaşma parametresi 0.1 olarak kullanılmıştır.

E48 standart serisine ait üretim toleranslarının tasarım hatası üzerindeki etkisinin incelenmesi amacıyla, eleman değerlerine E48 serisinin standart toleransı olan  $\pm\%2$  aralığında rastgele toleranslar eklenmiştir. 100 farklı koşma gerçekleştirilerek elde edilen kalite faktörü, kesim frekansı ve hata değerlerinin ortalaması Çizelge 5'te verilmiştir. Bu sonuçlardan, üretim toleranslarının dikkate alınması durumunda KKA ile sağlanan tasarımların geleneksel tasarım yaklaşımına göre, tümüyle ayırık devre için %59.93, AF100 devresi için %50.09 daha düşük hataya sahip olduğu görülmektedir. Elde edilen neticelerden görüldüğü gibi, daha düşük toleranslı standart serilerden elemanların dikkate alınmasıyla, KKA yardımıyla oldukça düşük tasarım hatalarına ulaşılabilmektedir.

Çizelge 5. E48 serisi için %2'lik üretim toleransları dikkate alınarak elde edilen sonuçlar

	Tümüyle ayırık devre		AF100 devresi	
	Geleneksel	KKA	Geleneksel	KKA
Ortalama $Q$	1.43396	1.41450	1.43416	1.40942
Ortalama $\omega_0$	1621.36	1591.21	1574.85	1585.48
Ortalama hata (%)	1.69963	0.68089	1.40108	0.69920

## 6. SONUÇ VE ÖNERİLER

Bu çalışmada, analog aktif filtreler için devre elemanı değerlerinin seçiminde karınca koloni algoritmasına dayalı yeni bir yaklaşım önerilmiştir. Simülasyon çalışmalarında, geleneksel yaklaşım ile farklı karınca koloni yaklaşımları karşılaştırılmıştır. Farklı karınca koloni yaklaşımları için elde edilen sonuçlar, yeni yaklaşımın geleneksel yaklaşıma göre çok daha az hata içeren tasarımlar gerçekleştirilmede başarıyla kullanılabilceğini göstermiştir.

Devre elemanlarının üretim toleransları dikkate alındığında, uygulamada düşük toleranslı standart serilerden elemanlar seçilmesi suretiyle karınca koloni algoritması ile ideale yakın tasarımların gerçekleştirilebileceği açıkça görülmüştür. Karınca koloni algoritması ile gerçekleştirilen tasarım araştırmalarında çözüm uzayını genişletmenin daha az hataya sahip tasarımlar gerçekleştirilmede faydalı olduğu da gözlenmiştir.

Geleneksel tasarım yöntemlerinde seri yada paralel bağlantılarla ideale yakın özel eleman değerleri elde edilmesine yönelik yaklaşımların devre boyutlarını büyütmesi ve maliyetleri artırması gibi olumsuzluklara engel olunmasında da önemli bir adım atılmıştır. Eleman seçiminde daha fazla serbestlik sağlayan yeni yaklaşım ile geleneksel tasarım yöntemlerindeki eleman değerlerinin kombinasyonlarını devre dışı bırakan sınırlayıcı yaklaşım da aşılabılmıştır.

Yapılan simülasyon çalışmalarından elde edilen sonuçlar, karınca koloni algoritmasının bu alana başarıyla uygulanabileceğini göstermesi bakımından oldukça anlamlıdır. Belirli bir devre modeline bağımlı olmayan yeni yaklaşım, diğer tipteki analog devrelerin veya daha karmaşık devrelerin tasarımında da başarıyla uygulanabilecektir. Gelecek çalışmalarda bu yaklaşımın, devre topolojilerinin basitleştirilmesi, bileşenlerin ekonomik değerlerinin dikkate alınması gibi analog devre tasarımı problemlerindeki performansı da araştırılacaktır.

## KAYNAKLAR

- Aguirre M.M.A., Torralba A., Ch'avez J., Franquelo L.G. (1994): "Sizing of Analog Cells by means of a Tabu Search Approach", In Proceedings IEEE International Symposium on Circuits and Systems, C.1, s. 375-378.
- Corne D., Dorigo M., Glover F. (1999): "New Ideas In Optimization", McGraw-Hill.
- Di Caro G., Dorigo M. (1998): "Mobile Agents for Adaptive Routing", Proc. of 31 st Hawaii Conf. On Systems Sciences(HICSS-31), Hawaii.
- Dorigo M., Maniezzo V., Coloni A. (1991): "Positive Feedback as A Search Strategy", Technical Report N. 91-016, Politecnico di Milano.
- Gambardella L.M., Dorigo M. (1997): "HAS-SOP: Hybrid Ant System for the Sequential Ordering Problem", Technical Report No.IDSIA97-11, IDSIA, Lugano, Switzerland.
- Gambardella L.M., Taillard E., Agazzi G. (1999): "MACS-VRPTW: A Multiple Ant Colony System for Vehicle Routing Problems with Time Windows", Technical Report IDSIA-06, Switzerland.
- Grimbleby J.B. (2000): "Automatic Analogue Circuit Synthesis using Genetic Algorithms", IEE Proc. Circuits Devices Syst., C.147, No. 6, s. 319-323.
- Gupta R., Ballweber B.M., Allstot D.J. (2001): "Design and Optimization of CMOS FR Power Amplifiers", IEEE Journal of Solid-State Circuits, C.36, s. 166-175.
- Hiroyasu T., Miki M., Ono Y., Minami Y. (2000): "Ant Colony for Continuous Functions", The Science and Engineering Doshisha University, C:XX, No.Y.
- Horrocks D.H., Khalifa Y.M.A. (1994): "Genetically Derived Filters Circuits using Preferred Value Components", Proc. of IEE colloq. On Linear Analogue Circuits and Systems, Oxford UK.

- Horrocks D.H., Spittle M.C. (1995): "Component Value Selection for Active Filters using Genetic Algorithms", C.2, s. 553-556.
- Horrocks D.H., Khalifa Y.M.A. (1995): "Genetically Evolved FDNR and Leap-Frog Active Filters using Preferred Components Values", Proc. European Conference on Circuit Theory and Design, Istanbul, Türkiye, s. 359-362.
- Horrocks D.H., Khalifa Y.M.A. (1996): "Genetic Algorithm Design of Electronic Analogue Circuits Including Parasitic Effects", Proc. First On-line Workshop on Soft Computing (WSC1), Nagoya University, Japan, s. 71-78.
- Jayaraman R., Rutenbar R.A. (1987): "Floorplanning by Annealing on A Hypercube Multiprocessor", Proc. IEEE International Conference on CAD, s. 346-349.
- Kalinli A., Karaboğa N., Karaboğa D. (2001): "A Modified Touring Ant Colony Optimisation Algorithm for Continuous Functions", The Sixteenth International Symposium on Computer and Information Sciences (ISCIS XVI), Işık University, Antalya, s. 437-444.
- Karaboğa D., Kalinli A., Karaboğa N. (2001): "Touring Ant Colony Algorithm with Frequency Based Memory for Continuous Optimisation", 10<sup>th</sup> Turkish Symposium on Artificial Intelligence and Neural Networks (TAINN 2001), Doğu Akdeniz Üniversitesi, KKTC, s. 94-102.
- Kerwin W.J., Huelsman L.P., Newcomb R.W. (1967): "State-Variable Synthesis for Insensitive Integrated Circuit Transfer Functions", IEEE J. Solid State Circuits, C.SC-2, s. 87-92.
- Kruiskamp W., Leenaerts D. (1995): "DARWIN: CMOS Opamp Synthesis by means of A Genetic Algorithm", Proceedings of the 32nd Design Automation Conference, New York, Association for Computing Machinery, s. 433-438.
- Koza J.R., Bennett III F.H., Andre D., Keane M.A. (1996): "Automated Design of both the Topology and Sizing of Analog Electrical Circuits using Genetic Programming", In Gero, John S. and Sudweeks, Fay (editors), Artificial Intelligence in Design'96, Dordrecht: Kluwer Academic Publishers, s. 151-170.
- Kuntz P., Layzell P., Snyers D. (1997): "A Colony of Ant-like Agents for Partitioning in VLSI Technology", In: Proc. 4th Int. Conf. on Artificial Life (ECAL97), Husbands, P. and Harvey, I. (eds.), MIT Press.
- Lodha S.K., Bhatia D. (1998): "Bipartitioning Circuits using Tabu Search", Proceedings of Eleventh Annual IEEE International Conference ASIC, s. 223-227.
- National Semiconductor Corp. (1993): "Data Acquisition Data Book", National Semiconductors Corp., Santa Clara, CA, USA, s. 7.5-7.31.
- Ning Z., Kole M., Mouthaan T., Wallings H. (1992): "Analog Circuits Design Automation for Performance", Proceedings of the 14th CICC, New York, II Press, s. 8.2.1.-8.2.4.
- Paulino N.F., Goes J.C., Steiger A. (2001): "Design Methodology for Optimization of Analog Building Blocks using Genetic Algorithms", The 2001 IEEE International Symposium on Circuits and Systems, C.5, s. 435-438.
- Sadiq S.M., Youssef H. (1998): "CMOS/BiCMOS Mixed Design using Tabu Search", Electronics Letters, C.34, No.14, s. 1395-1396.
- Sadiq S.M., Youssef H., Zahra M.M. (1998): "Tabu Search Based Circuit Optimization", Proceedings of the 8th Great Lakes Symposium on VLSI, s. 338-343.
- Sadiq S.M., Youssef H., Barada H.R., Al-Yamani A. (2000): "A Parallel Tabu Search Algorithm for VLSI Standard-Cell Placement", Proceedings of the IEEE International Symposium on Circuits and Systems ISCAS 2000, C.2, s. 581-584, Switzerland.
- Stützle T., Dorigo M. (1999): "ACO Algorithms for Quadratic Assignment Problem", In D. Corne, M. Dorigo and F. Glover, editors, New Ideas in Optimizations, McGraw-Hill.
- Tao L., Zhao Y.C. (1993): "Effective Heuristic Algorithms for VLSI-Circuit Partition", IEE Proceedings G: Circuits, Devices and Systems, C.140, No.2, s.127-134.

- Wodrich M. (1996): “Ant Colony Optimization”, Under Graduate Thesis, Department of Electrical and Electronic Engineering, University of Cape Town, South Africa, 1996.
- Wong D.F., Liu C.L. (1986): “A New Algorithm for Floorplan Design”, Proceedings of the 23rd ACM/IEEE Design Automation Conference, s. 101-107.